

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
HARANO et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: DISPLAY DEVICE AND MANUFACTURING)
METHOD OF THE SAME)
ATTORNEY DOCKET NO. HITA.0476)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of January 9, 2003, the filing date of the corresponding Japanese patent application 2003-002834.

A certified copy of Japanese patent application 2003-002834 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344

Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
December 23, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 9 日
Date of Application:

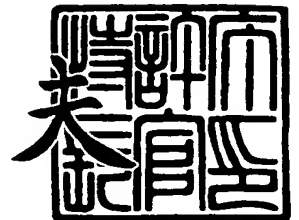
出 願 番 号 特 願 2 0 0 3 - 0 0 2 8 3 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 0 2 8 3 4]

出 願 人 株式会社 日立ディスプレイズ
Applicant(s): 日立デバイスエンジニアリング株式会社

2 0 0 3 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 330200376

【提出日】 平成15年 1月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 原野 雄一

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 後藤 順

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 金子 寿輝

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 山本 昌直

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社 日立ディスプレイズ

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100093506

【弁理士】

【氏名又は名称】 小野寺 洋二

【電話番号】 03-5541-8100

【手数料の表示】

【予納台帳番号】 014889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置とその製造方法

【特許請求の範囲】

【請求項 1】

下地層を表面に有する絶縁基板と、前記下地層上に形成されたポリシリコン層と、前記ポリシリコン層を覆う第 1 の絶縁層を介して形成されたゲート電極と、前記ゲート電極を覆う第 2 の絶縁層と、前記第 2 の絶縁層上に形成されて当該第 2 の絶縁層と前記第 1 の絶縁層を貫通して前記ポリシリコン層に接する一対のソース・ドレイン電極と、前記ソース・ドレイン電極を覆う第 3 の絶縁層を少なくとも有する薄膜トランジスタ基板を具備した表示装置であって、

前記ソース・ドレイン電極は、アルミニウムまたはアルミニウム合金からなる導電層の上層に形成されて前記第 3 の絶縁層に接するモリブデンまたはモリブデン合金からなるキャップ層、および前記導電層の下層に形成されて前記ポリシリコン層と接するモリブデンまたはモリブデン合金からなるバリア層を有すると共に、前記バリア層の前記導電層と接する表面にモリブデン酸窒化膜を有することを特徴とする表示装置。

【請求項 2】

前記バリア層と前記モリブデン酸窒化膜の膜厚の合計が前記キャップ層の膜厚より薄いことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記バリア層と前記モリブデン酸窒化膜の膜厚の合計が前記キャップ層の膜厚の 60% 以下であることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記第 3 の絶縁層の上層に有機絶縁層を有し、前記有機絶縁層上に形成されて当該有機絶縁層と前記第 3 の絶縁層を貫通して前記ソース・ドレイン電極の一方に接続する透明電極を具備したことを特徴とする請求項 1 から 3 のいずれかに記載の表示装置。

【請求項 5】

前記第 3 の絶縁層の上層に形成されて当該第 3 の絶縁層を貫通して前記ソース

・ドレイン電極の一方に接続する透明電極と、前記透明電極の一部を接続し、有機絶縁層を介して形成された反射電極を具備したことを特徴とする請求項1から3のいずれかに記載の表示装置。

【請求項6】

下地層を表面に有する絶縁基板の前記下地層上にポリシリコン層をパターンニングするポリシリコンパターン形成工程と、

前記ポリシリコン層を覆う第1の絶縁層を形成する第1絶縁層形成工程と、

前記第1の絶縁層の上にゲート電極を形成するゲート電極形成工程と、

前記ゲート電極を覆って第2の絶縁層を形成する第2絶縁層形成工程と、

前記第2の絶縁層と前記第1の絶縁層を貫通するコンタクトホールを加工するコンタクトホール加工工程と、

前記第2の絶縁層の上に前記コンタクトホールを通して前記ポリシリコン層に接続するソース・ドレイン電極を形成するソース・ドレイン電極形成工程を含み、

前記ソース・ドレイン電極形成工程より後の工程に熱処理工程を含む表示装置の製造方法であって、

前記ソース・ドレイン電極形成工程が、モリブデンまたはモリブデン合金をスパッタしてバリア層を成膜するバリア層形成工程と、

前記バリア層を窒素雰囲気中で高速熱処理して当該バリア層の表面に酸窒化膜を形成する酸窒化膜形成工程と、

アルミニウムまたはアルミニウム合金層をスパッタして導電層を形成する導電層形成工程と、

前記導電層上にモリブデンまたはモリブデン合金をスパッタしてキャップ層を形成するキャップ層形成工程を有することを特徴とする表示装置の製造方法。

【請求項7】

前記熱処理工程が、水素終端化処理を含むことを特徴とする請求項6に記載の表示装置の製造方法。

【請求項8】

前記熱処理工程が、CVD工程を含むことを特徴とする請求項6に記載の表示

装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に係り、ポリシリコン層と接する配線電極にアルミニウム系導電層を用いた場合の加熱工程でのポリシリコン層へのアルミニウム元素の拡散に起因する薄膜トランジスタの特性劣化を防止し、信頼性を高めた表示装置およびその製造方法に関する。

【0002】

【従来の技術】

薄膜トランジスタ等のアクティブ素子（以下、薄膜トランジスタとして説明する）を用いたアクティブ・マトリクス方式のパネル型の表示装置では、画素領域およびこの画素領域の周辺に形成された駆動回路などの周辺回路を有している。ソース・ドレイン電極にアルミニウム系導電層を用いた薄膜トランジスタにおいては、そのポリシリコン層と接する電極を形成する導電層として、アルミニウム電極層の上又は下に窒化モリブデンを積層してパターニングの際のウエットエッチング断面形状を制御するようにしたものは知られている（特許文献1）。また、アルミニウム電極層の上下両面に窒化モリブデン膜又は窒化チタン膜を積層し、同じくウエットエッチング断面形状を制御するようにしたものは知られている（特許文献2）。しかし、特許文献1、特許文献2はいずれもポリシリコン層へのアルミニウム元素の拡散に起因する薄膜トランジスタの特性劣化に関しては考慮されていない。

【0003】

【特許文献1】

特開平9-148586号公報

【0004】

【特許文献2】

特開2000-208773号公報

【0005】

【発明が解決しようとする課題】

活性層に低温ポリシリコンを用いた薄膜トランジスタで構成したアクティブ・マトリクス型の表示装置において、当該低温ポリシリコン層に接続するソース・ドレイン電極にアルミニウムまたはアルミニウム合金（以下、アルミニウム系電極と称する）を用いた場合、その後の製造工程での加熱工程において上記ポリシリコン層へのアルミニウム元素の拡散に起因して薄膜トランジスタの特性劣化が発生し、表示不良の原因となる。

【0006】

本発明の目的は、低温ポリシリコン（以下、単にポリシリコンと称する）と接するソース・ドレイン電極にアルミニウム系導電層を用いた場合の加熱工程でのポリシリコン層へのアルミニウム元素の拡散を防止し、表示不良の発生を回避した信頼性の高い表示装置を提供することにある。

【0007】**【課題を解決するための手段】**

上記目的を達成するため、本発明では、ソース・ドレイン電極にアルミニウム系導電層を用い、アルミニウム系導電層とポリシリコン層の間にモリブデン又はモリブデン合金層のバリア層を設ける。そして、このバリア層を構成するモリブデン又はモリブデン合金層の表面（アルミニウム系導電層と接する面）には、窒素雰囲気中での高速熱処理（高速熱アニール）で形成されたモリブデン酸窒化膜を設ける。また、アルミニウム系導電層の反対面にはモリブデン又はモリブデン合金層のキャップ層を設ける。このとき導電層であるアルミニウム系導電材料と、キャップ層であるモリブデン又はモリブデン合金材料を、この順で連続スパッタで積層させるのが望ましい。なお、バリア層とモリブデン酸窒化膜の膜厚の合計はキャップ層の膜厚より薄くするのが望ましく、より好ましくは、キャップ層の膜厚の60%以下にするのが望ましい。

【0008】

上記バリア層とアルミニウム系導電層の界面に設けたモリブデン酸窒化膜はアルミニウム系導電層からのアルミニウム元素のポリシリコン層への拡散を抑制し薄膜トランジスタの特性劣化が防止される。したがって、本発明により、表示不

良が回避され、信頼性の高い表示装置が得られる。なお、本発明のソース・ドレイン電極の上記構成は画素領域にある薄膜トランジスタに限るものではなく、駆動回路などの周辺回路部分の薄膜トランジスタにも適用される。

【0009】

【発明の実施の形態】

以下、本発明の発明の実施の形態について、本発明を液晶表示装置に適用した実施例の図面を参照して詳細に説明する。図1は本発明による液晶表示装置の1実施例を説明する透過型液晶表示装置の画素を構成する薄膜トランジスタ部分の模式断面図である。また、図2は図1の矢印A部分の拡大断面図、図3は図2の矢印B部分の拡大断面図である。図1～図3において、参照符号1はガラスを好適とする透明な絶縁基板、2は下地層である。図示しないが、下地層2は窒化シリコン(SiN)の第1層と酸化シリコン層(SiO₂)の第2層で構成される。この下地層2の上にパターンニングされたポリシリコン層3を有し、第1の絶縁層であるゲート絶縁層(TEOS)4を介してゲート電極5が形成されている。ゲート電極4上にはSiO₂からなる第2の絶縁層6を有している。

【0010】

第2の絶縁層6と第1の絶縁層4にコンタクトホールが加工されており、第2の絶縁層6上にスパッタされた一対のソース・ドレイン電極7が形成されている。薄膜トランジスタの動作状態に応じてソース・ドレイン電極7の一方はソース電極、他方はドレイン電極となるので、ここでは、ソース・ドレイン電極7と表現する。ソース・ドレイン電極7の上層にはSiNからなる第3の絶縁層8を有し、この上にさらに有機絶縁層10が形成されている。そして、有機絶縁層10と第3の絶縁層8を貫通するコンタクトホールを有し、有機絶縁層10の上に形成された画素電極となる透明電極(ITO)9がソース・ドレイン電極7の一方に接続されている。

【0011】

図2に示したように、ソース・ドレイン電極7は、ポリシリコン層3に接する側からモリブデン又はモリブデン合金からなるバリア層15とアルミニウム系導電層16およびモリブデン又はモリブデン合金からなるキャップ層17の積層構

造となっている。そして、さらに図3に示したように、バリア層15とアルミニウム系導電層16の界面には窒素雰囲気中での高速熱処理（RTA: Rapid Thermal Anneal: 高速熱アニール）で形成されたモリブデン酸化膜18を有している。高速熱処理は、バリア層15を成膜後にUVランプを使用して基板とUVランプを相対移動させることにより1箇所あたり1～60sec照射する。スループット向上のためには1箇所あたり1～30sec照射するのが望ましい。

【0012】

この上にアルミニウム系導電層16、モリブデン又はモリブデン合金からなるキャップ層17を連続スパッタして、バリア層15、モリブデン酸窒化膜18、アルミニウム系導電層16、キャップ層17の多層積層膜からなるソース・ドレイン電極7が形成される。

【0013】

なお、このような多層構造のソース・ドレイン電極7のパターニングはこれら3層をホトリソプロセスと一括ウェットエッチングで行う。バリア層15とモリブデン酸窒化膜18の膜厚の合計はキャップ層17の膜厚より薄いことが望ましく、さらに、キャップ層17の膜厚の60%以下とすることで、エッチング断面形状を単純なテーパー形状とすることができる。これにより、その上に堆積する第3の絶縁層8の付きまわり（カバレッジ）が向上し、信頼性が上がる。なお、この後、水素終端アニール処理（水素終端化処理）を行う。この終端処理工程でアルミニウム系導電層16のアルミニウム元素がポリシリコン層3に拡散しようとしても、モリブデン酸窒化膜18で阻止される。なお、ソース・ドレイン電極7を構成する各層の膜厚の数値例は以下のとおりである。すなわち、バリア層15とモリブデン酸窒化膜18の膜厚の合計は38nm、アルミニウム系導電層16の膜厚は500nm、キャップ層17の膜厚は75nmである。そして、モリブデン酸窒化膜18の膜厚は10～20nmである。

【0014】

これまで説明してきたモリブデン酸窒化膜18により、アルミニウム系導電層16よりも下層に形成されるバリア層15とモリブデン酸窒化膜18の膜厚の合

計が薄い場合でも十分にアルミニウム元素の拡散の防止を行なうことが可能となる。

【0015】

尚、アルミニウム元素の拡散の原因となる熱処理工程としては、先ほど説明した水素終端化処理が一番影響の大きな原因であるが、2番目に影響の大きいものとしては絶縁膜を形成する時などに用いるCVD工程が上げられる。

【0016】

図4はバリア層に窒素雰囲気中での高速熱処理を施した場合のサンプルをSIMSで測定した結果の説明図であり、参照符号15、16、18は図3に示したバリア層、アルミニウム系導電層、モリブデン酸窒化膜の各領域を示す。図5はバリア層に窒素雰囲気中での高速熱処理を施さない場合のサンプルをSIMSで測定した結果の説明図であり、参照符号15、16は図3に示したバリア層、アルミニウム系導電層の各領域を示す。また、図4および図5において、横軸は深さ(μm)を、縦軸はSIMSで計測した2次イオン強度(cts/sec)を示す。

【0017】

図4では、バリア層15とアルミニウム系導電層16の界面に窒素と酸素の強いピークが見られる。これにより、モリブデン酸窒化膜18の存在が確認できる。これに対し、図5に示した窒素雰囲気中での高速熱処理を施さない場合にはモリブデンまたはモリブデン合金のバリア層15とアルミニウム系導電層16の界面に酸素の弱いピークが現れるが、窒素はほとんど存在しないことが分かる。

【0018】

また、図4および図5で示されるサンプルのそれぞれを終端アニール処理すると、図5のサンプルではポリシリコン層へのアルミニウム元素の拡散が認められたが、図4のサンプルではポリシリコン層へのアルミニウム元素の拡散は認められなかった。

【0019】

また、図示はしていないが、別の実験により、モリブデン窒化膜のみではモリブデン酸窒化膜に比べてアルミニウム元素の拡散防止の効果が不十分であること

が確認されている。具体的には、バリア層 15 を窒素雰囲気中で高速熱処理した後、水により洗浄することにより、モリブデン酸窒化膜 18 からモリブデンの酸化物を水に溶かして、モリブデン窒化膜とした。その後、アルミニウム系導電層 16 をスパッタし、終端アニール処理したところ、ポリシリコン層へのアルミニウム元素の拡散が認められた。

【0020】

以上の実験により、バリア層 15 とモリブデン酸窒化膜 18 の膜厚の合計を小さくしても、モリブデン酸窒化膜 18 によるアルミニウム元素の拡散防止の効果によって十分なバリア性を有することが確認された。

【0021】

図 6 はアルミニウム系導電層とバリア層とモリブデン酸窒化膜およびキャップ層の 4 層一括ウエットエッチング処理後におけるバリア層とモリブデン酸窒化膜の膜厚の合計およびキャップ層の膜厚によるエッチング断面形状の説明図であり、図 6 (a) はバリア層とモリブデン酸窒化膜の膜厚の合計＝キャップ層の膜厚とした場合、図 6 (b) はバリア層とモリブデン酸窒化膜の膜厚の合計＞キャップ層の膜厚とした場合、図 6 (c) はバリア層とモリブデン酸窒化膜の膜厚の合計＜キャップ層の膜厚とした場合である。

【0022】

図 6 (a) に示したように、バリア層とモリブデン酸窒化膜の膜厚の合計＝キャップ層の膜厚とした場合は、バリア層 15 とモリブデン酸窒化膜 18 とキャップ層 17 のエッチングレートはアルミニウム系導電層 16 より高いため、アルミニウム系導電層 16 はテーパ形状とはならない。また、図 6 (b) に示したように、バリア層とモリブデン酸窒化膜の膜厚の合計＞キャップ層の膜厚とした場合、バリア層 15 とモリブデン酸窒化膜 18 がアルミニウム系導電層 16 に対して大幅に入り込み、同様にアルミニウム系導電層 16 はバリア層 15 とモリブデン酸窒化膜 18 の膜厚の合計より膜厚の薄いキャップ層 17 側に偏った断面形状になって、テーパ形状とはならない。

【0023】

これらに対し、図 6 (c) に示したように、バリア層とモリブデン酸窒化膜の

膜厚の合計<キャップ層の膜厚とした場合は、バリア層 15 とモリブデン酸窒化膜 18 はアルミニウム系導電層 16 とほぼ同程度のエッチングレートとなり、単純なテーパ形状となる。したがって、バリア層とモリブデン酸窒化膜の膜厚の合計を前記キャップ層の膜厚より薄くすることで、その上に堆積する第 3 の絶縁層 8 の付きまわり（カバレッジ）が向上し、信頼性が上がる。このように、モリブデン又はモリブデン合金からなるバリア層 15 とモリブデン酸窒化膜 18 を薄膜とすることでアルミニウム系導電層 16 とほぼ同程度のエッチングレートとすることが可能となる。

【0024】

図 7 は本発明による液晶表示装置の他の実施例を説明する半透過型液晶表示装置の画素を構成する薄膜トランジスタ部分の模式断面図である。図 1 と同様に、この半透過型液晶表示装置は、絶縁基板 1 上に薄膜トランジスタのソース・ドレイン電極 7 の一方に透明電極 9 を有する構造迄は図 1 と同一である。図中に矢印 A で示す部分の構成は図 2、図 3 と同様である。本実施例では、透明電極 9 を形成後に有機絶縁層 10 を成膜し、透明電極 9 に一部を接続して有機絶縁層 10 を介して形成された反射電極 11 を形成する。透明電極 9 の反射電極 11 とは重ならない部分は透過型の画素電極となり、反射電極 11 で反射型の液晶表示装置となる。そして、反射電極 11 と透明電極 9 とで半透過型の液晶表示装置となる。なお、透明電極 9 を反射電極とし、この反射電極の一部に開口を設け、あるいは透明電極 9 に替えて反射電極を形成し、この反射電極の一部に開口を設けて半透過型の液晶表示装置とすることもできる。

【0025】

図 8 は本発明による表示装置の製造方法を説明する工程図、図 9 は図 8 のソース・ドレイン電極形成工程の詳細工程の説明図である。図 8 において、先ず、絶縁基板を受け入れ、これを洗浄する（P-1）。洗浄した絶縁基板に下地膜（p-SiN、p-SiO）を成膜すると共にアモルファスシリコン（a-Si）を成膜する（P-2）。これを脱 H₂ アニール処理し（P-3）、エキシマレーザアニール（ELA 結晶化）してポリシリコン膜とする（P-4）。ポリシリコン膜にホト工程・エッチング工程・レジスト除去工程を施してポリシリコン層をパ

ターニングする（ポリシリコン加工）（P-5）。

【0026】

パターンニングしたポリシリコン層にゲート絶縁層（第1の絶縁層）を形成し（P-6）、ポリシリコン層にイオン打ち込み（Eインプラ）を行う（P-7）。ポリシリコン層の所定に位置にゲート電極をスパッタし（P-8）、ホット工程・エッチング工程を施してゲート電極を加工する（P-9）。その後、レジスト塗布とホットパターンニングでマスクを形成しイオン打ち込み（Nインプラ）（P-10）、レジスト除去（P-11）、イオン打ち込み（NMインプラ）（P-12）、p-SiOからなる第2の絶縁層形成（P-13）、活性化アニール（P-14）、ホット工程・エッチング工程・レジスト除去でソース・ドレイン（S/D）電極間コンタクトホール加工を行う（P-15）。

【0027】

コンタクトホール加工後、ソース・ドレイン電極形成工程（P-16）に入る。このソース・ドレイン電極形成工程（P-16）は図9に示したように、先ずバリア層（モリブデン又はモリブデン合金、図9ではモリブデン合金（Mo合金））のスパッタ工程（P-161）、高速熱アニール（RTA）処理工程（P-162）、アルミニウム系導電層スパッタ工程（図ではAl合金スパッタ）（P-163）、キャップ層（図ではMo合金）スパッタ工程（P-164）を施す。なお、アルミニウム系導電層スパッタ工程（P-163）とキャップ層スパッタ工程（P-164）はこの順で連続スパッタする。

【0028】

ソース・ドレイン電極形成工程後、ホット工程・エッチング工程・レジスト除去工程でソース・ドレイン電極を加工し（P-17）、その上にp-SiNからなる第3の絶縁層を形成する（P-18）。これをH₂ アニール（水素終端化処理）し（P-19）、その上層に有機絶縁層（図では有機パス膜）を形成し（P-20）、ホット工程・エッチング工程でソース・ドレイン電極用のコンタクトホールを加工する（P-21）。

【0029】

コンタクトホールを介してソース・ドレイン電極に接続した透明電極をスパッ

タで成膜し（P-22）、ホット工程・エッチング工程・レジスト除去工程を経て透明電極を加工し（P-23）、アクティブ・マトリクス基板を完成する。なお、液晶表示装置の場合は、このアクティブ・マトリクス基板と対向基板を貼り合わせ、その貼り合わせ間隙に液晶を封止する。

【0030】

図10～図12は図8～図9で説明した本発明による表示装置の製造方法をさらに模式的に説明する要部断面であり、図11は図10に続き、図12は図11に続く工程図における断面を示す。図10において、ガラスを好適とする絶縁基板1上に下地層（1層目SiN、2層目SiO）を成膜し、その上にアモルファスシリコン（a-Si）層12を成膜する（A）。アモルファスシリコン層12をELA（エキシマレーザアニール）で結晶化（ポリシリコン化）する（B）。このポリシリコン層12をホット工程・エッチング工程で所定の島形状のポリシリコン層3にパターニングする（C）。パターニングしたポリシリコン層3上に第1の絶縁層4であるゲート絶縁層（TEOS）を形成する（D）。この上にゲート電極となる電極層を成膜し（E）、ホット工程・エッチング工程でゲート電極5を形成する（F）。

【0031】

図11において、ゲート電極5を覆ってSiOからなる第2の絶縁層6を形成する（G）。この第2の絶縁層6とゲート絶縁層4を貫通するコンタクトホール13を加工する（H）。そして、第2の絶縁層6の上層にソース・ドレイン電極層を成膜する（I）。このソース・ドレイン電極の成膜は、前記図9で説明した工程を含む。ソース・ドレイン電極層にホット工程・エッチング工程を施してソース・ドレイン電極7をパターニングする（J）。ソース・ドレイン電極7を覆って第3の絶縁層8を形成する（K）。

【0032】

図12において、第3の絶縁層8の上層に有機絶縁層10を形成し（L）、一方のソース・ドレイン電極7に対向する位置にコンタクトホール14を加工する（M）。有機絶縁層10の上に透明電極9を成膜し、コンタクトホール14を通して一方のソース・ドレイン電極7に接続する（N）。こうしてアクティブ・マ

トリクス基板が得られる。

【0033】

なお、ここでは、代表的な表示装置として全透過型の表示装置の製造方法を説明したが、図7に示した半透過型の表示装置もソース・ドレイン電極の形成工程までは図10～図12と同様であり、反射電極を形成するに至る工程が若干異なる。

【0034】

以上の各実施例では、液晶表示装置のアクティブ・マトリクス基板を例として説明したが、本発明はこれに限るものではなく、例えば有機EL表示装置など、アクティブ・マトリクス基板を有する表示装置全般に適用できることは言うまでもない。

【0035】

【発明の効果】

以上説明したように、本発明によれば、特に低温ポリシリコンと接するソース・ドレイン電極にアルミニウム系導電層を用いた場合の加熱工程におけるポリシリコン層へのアルミニウム元素の拡散を防止し、表示不良の発生を回避した信頼性の高い表示装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明による液晶表示装置の1実施例を説明する透過型液晶表示装置の一面素を構成する薄膜トランジスタ部分の模式断面図である。

【図2】

図1の矢印A部分の拡大断面図である。

【図3】

図2の矢印B部分の拡大断面図である。

【図4】

バリア層に窒素雰囲気中での高速熱処理を施した場合のサンプルをSIMSで測定した結果の説明図である。

【図5】

バリア層に窒素雰囲気中での高速熱処理を施さない場合のサンプルをSIMSで測定した結果の説明図である。

【図6】

アルミニウム系導電層とバリア層とモリブデン酸窒化膜およびキャップ層の4層一括ウエットエッチング処理後におけるバリア層とモリブデン酸窒化膜の膜厚の合計およびキャップ層の膜厚によるエッチング断面形状の説明図である。

【図7】

本発明による液晶表示装置の他の実施例を説明する半透過型液晶表示装置の一画素を構成する薄膜トランジスタ部分の模式断面図である。

【図8】

本発明による表示装置の製造方法を説明する工程図である。

【図9】

図8のソース・ドレイン電極形成工程の詳細工程の説明図である。

【図10】

本発明による表示装置の製造方法をさらに模式的に説明する要部断面である。

【図11】

本発明による表示装置の製造方法をさらに模式的に説明する図10に続く要部断面図である。

【図12】

本発明による表示装置の製造方法をさらに模式的に説明する図11に続く要部断面図である。

【符号の説明】

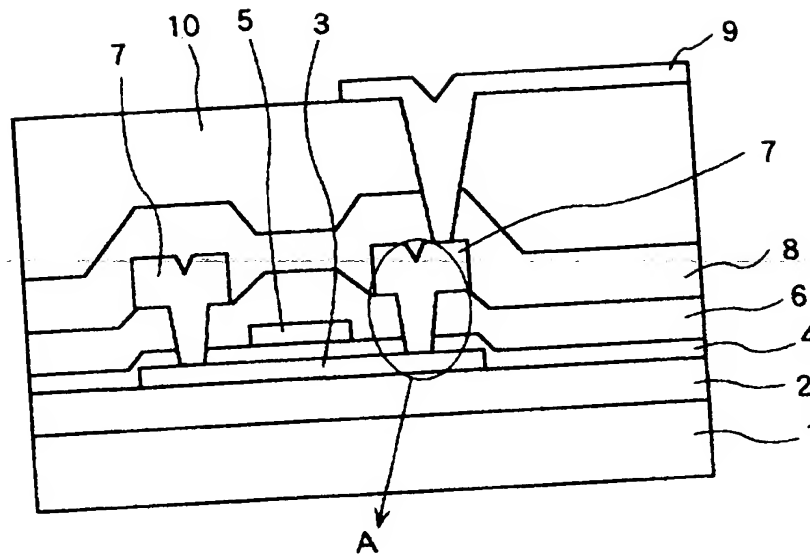
1 絶縁基板、2 下地層、3 ポリシリコン層、4 ゲート絶縁層、5 ゲート電極、6 第2の絶縁層、7 ソース・ドレイン電極、8 第3の絶縁層、9 透明電極（ITO）、10 有機絶縁層、11 反射電極、15 バリア層、16 アルミニウム系導電層、17 キャップ層、18 モリブデン酸窒化膜。

【書類名】

図面

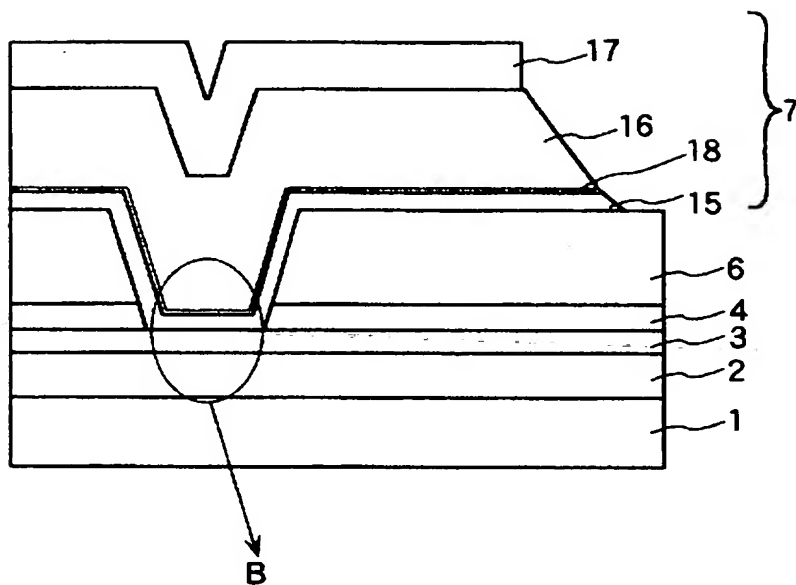
【図 1】

図 1



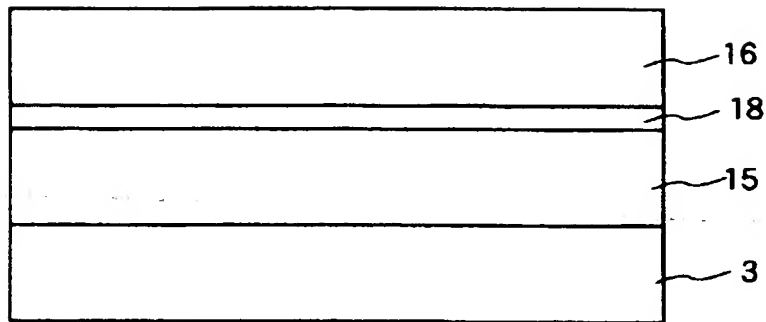
【図 2】

図 2



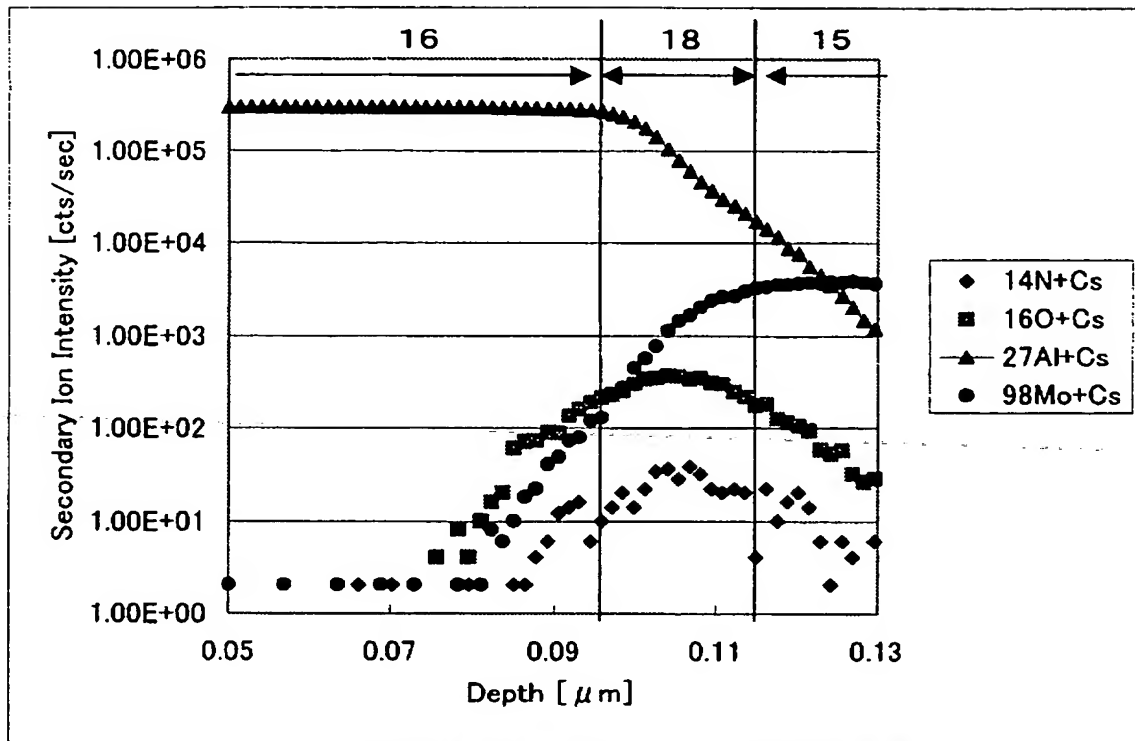
【図 3】

図 3



【図 4】

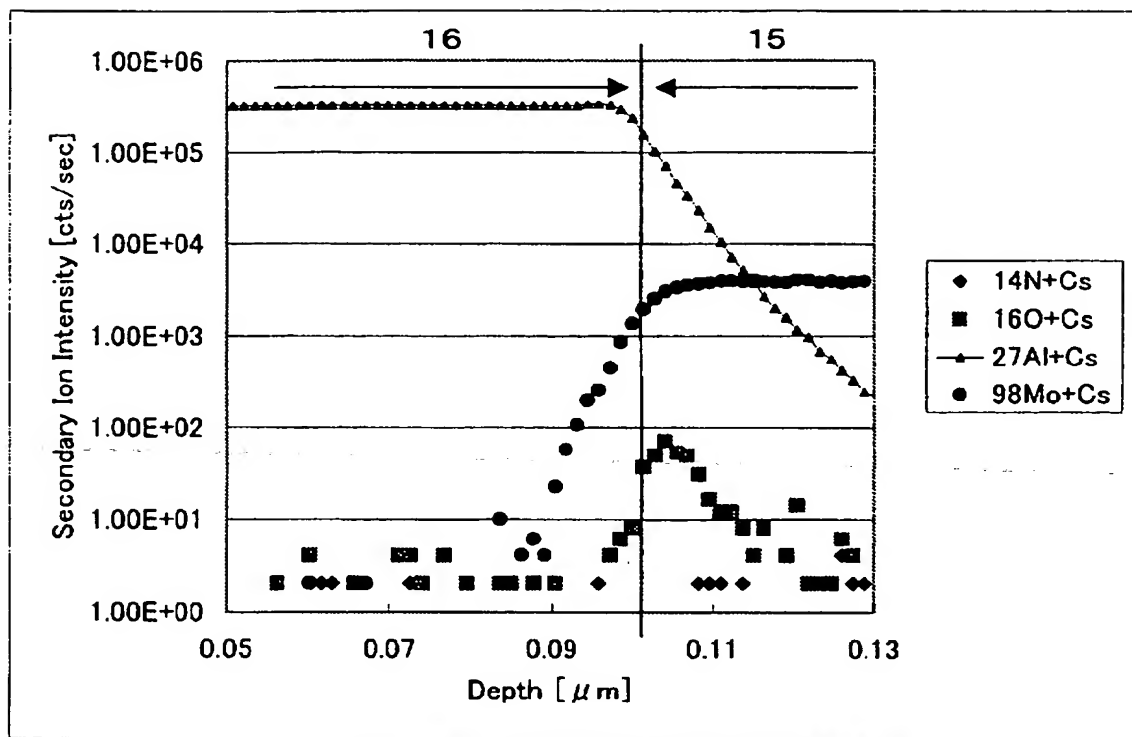
図 4



バリア層RTA処理有りサンプルのSIMS結果

【図 5】

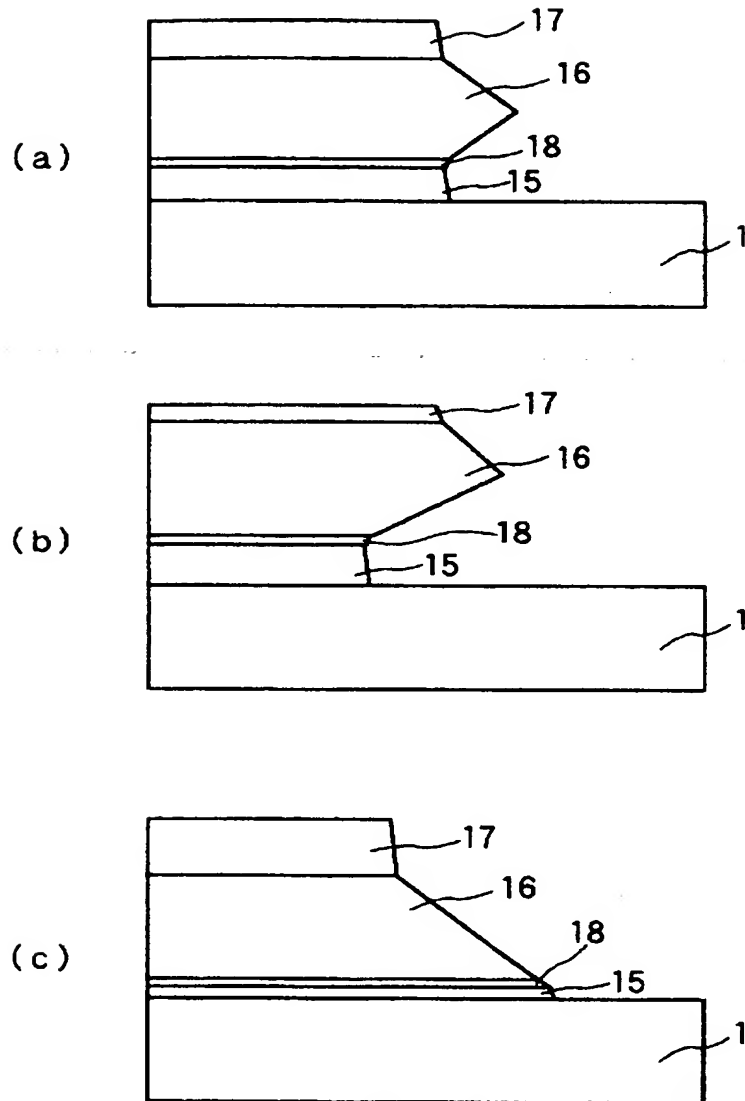
図 5



バリア層RTA処理無しサンプルのSIMS結果

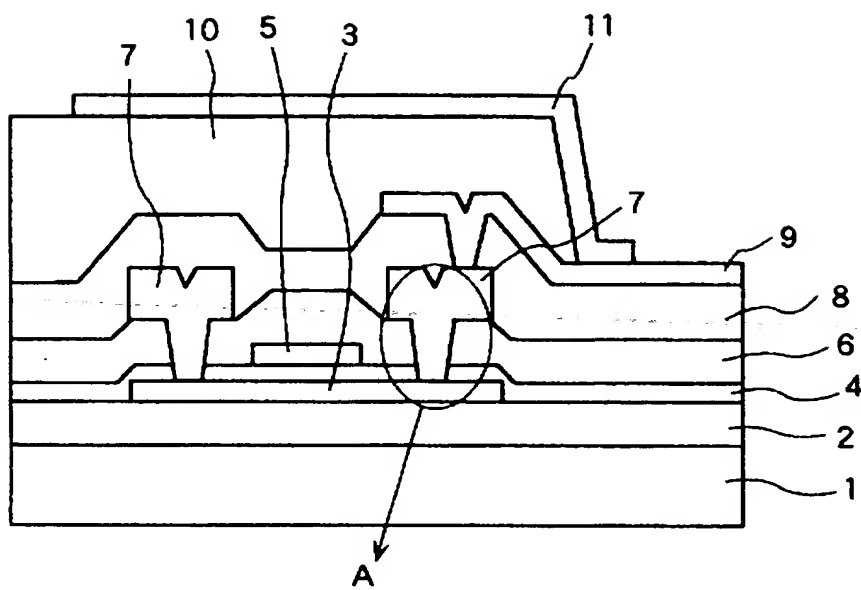
【図 6】

図 6

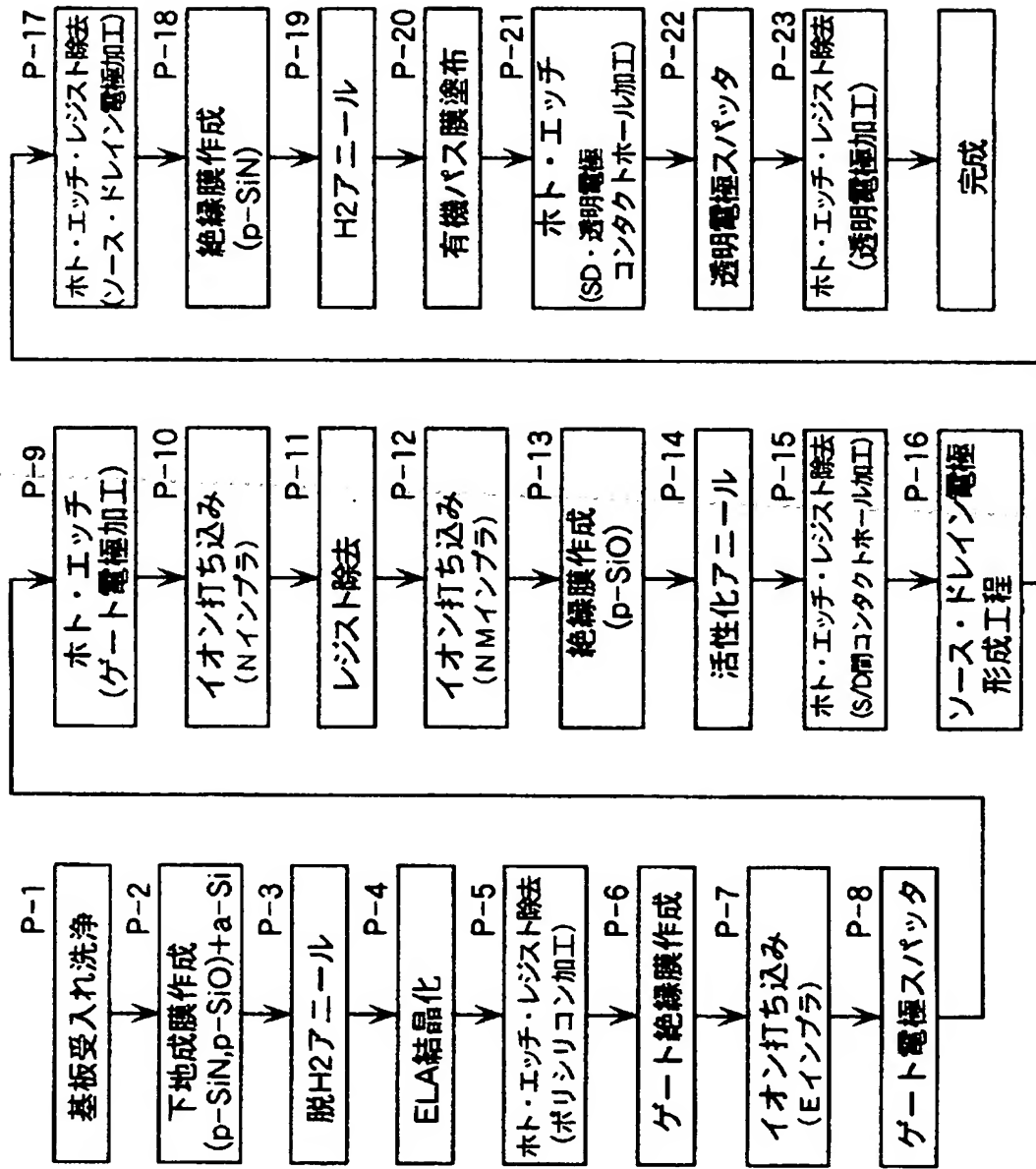


【図 7】

図 7

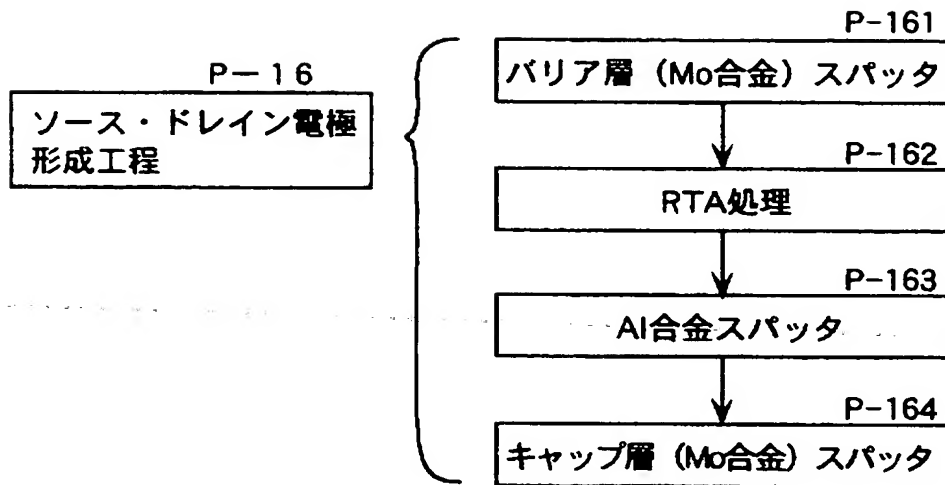


【図 8】



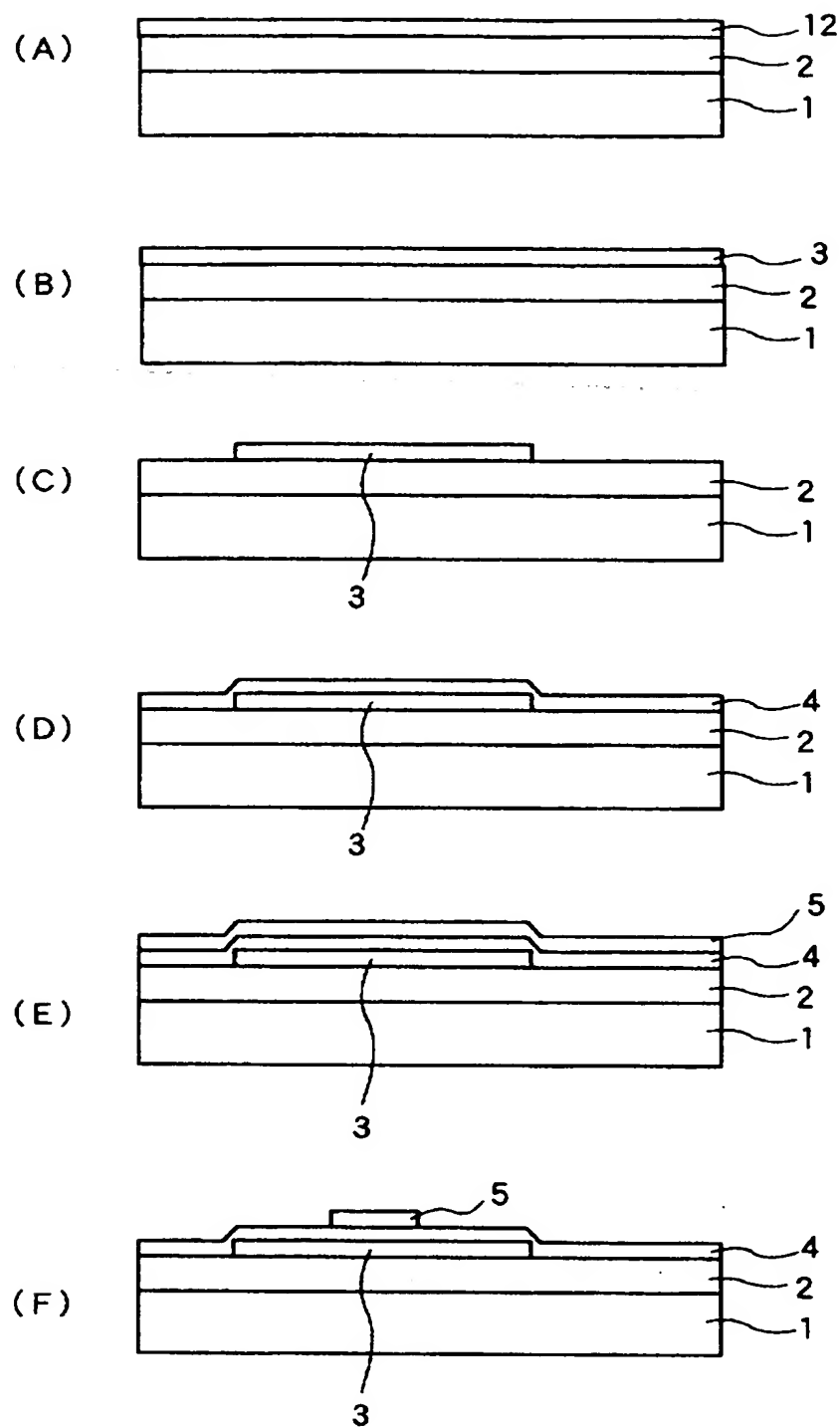
【図 9】

図 9



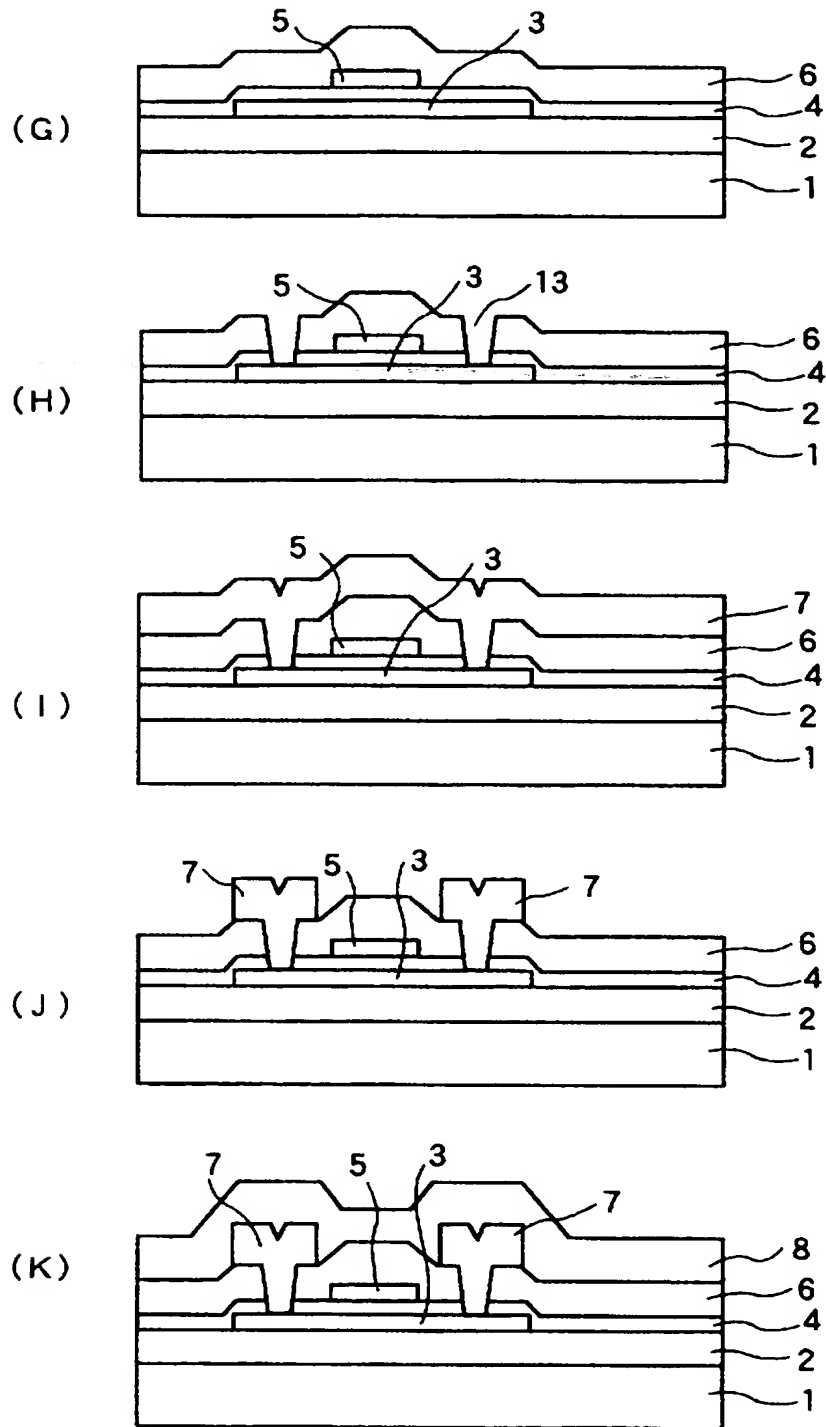
【図 10】

図 10



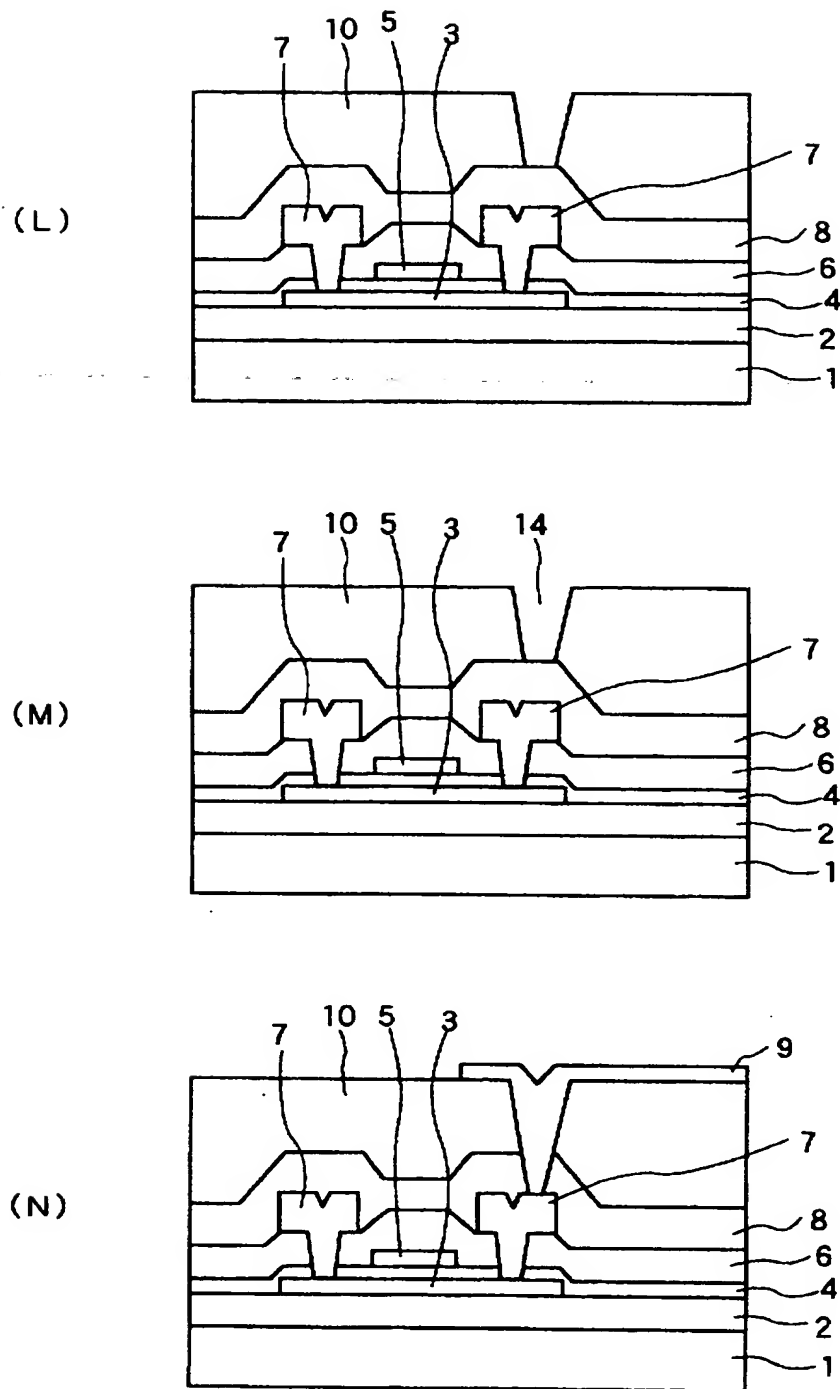
【図 11】

図 11



【図 12】

図 12



【書類名】 要約書

【要約】

【課題】 低温ポリシリコンと接するソース・ドレイン電極にアルミニウム系導電層を用いた場合の加熱工程でのポリシリコン層へのアルミニウム元素の拡散を防止し、表示不良の発生を回避する。

【解決手段】 ソース・ドレイン電極 7 にアルミニウム系導電層 16 を用い、このアルミニウム系導電層 16 とポリシリコン層 3 の間にモリブデン又はモリブデン合金層のバリア層 15 を設ける。バリア層 15 を構成するモリブデン又はモリブデン合金層の表面に窒素雰囲気中での高速熱処理（高速熱アニール）で形成されたモリブデン酸窒化膜 18 を設ける。

【選択図】 図 2

特願 2 0 0 3 - 0 0 2 8 3 4

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日
[変更理由]

2 0 0 2 年 1 0 月 1 日
新規登録

住 所
氏 名

千葉県茂原市早野 3 3 0 0 番地
株式会社 日立ディスプレイズ

特願 2 0 0 3 - 0 0 2 8 3 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 0 8 8]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 0 日
新規登録

住 所
氏 名

千葉県茂原市早野 3 6 8 1 番地
日立デバイスエンジニアリング株式会社